

(51)Int.Cl.⁶ 識別記号H 0 1 L 27/115
21/76
21/8247
29/788
29/792

F I

H 0 1 L 27/10 4 3 4
21/76 L
29/78 3 7 1

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21)出願番号 特願平9-327980

(22)出願日 平成9年(1997)11月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 成田 一仁

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者 清水 和裕

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者 渡辺 寿治

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 弁理士 外川 英明

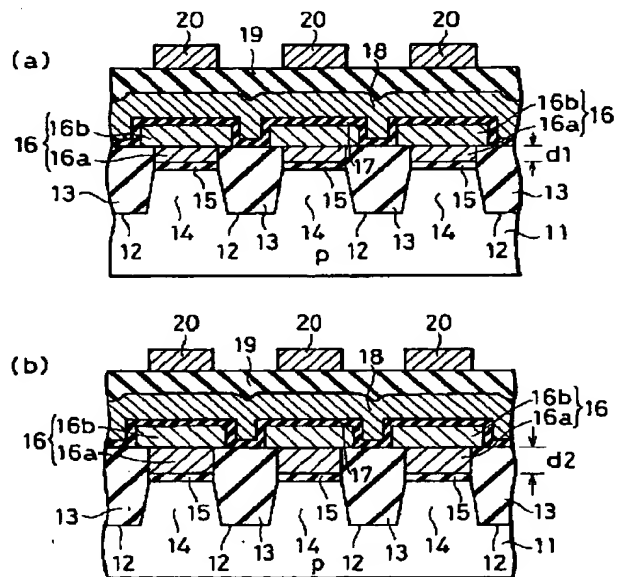
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57)【要約】

【課題】 浮遊ゲートと制御ゲートの間の結合容量を大きくし、素子分離絶縁膜のエッチバック工程での面内バラツキに基づくメモリセル特性のバラツキを低減できるようにしたEEPROMを提供する。

【解決手段】 基板11にトンネル酸化膜15及び第1導電層16aを積層し、この上に素子領域14を区画するためのマスク材をパターン形成し、第1導電層16a及びトンネル酸化膜15を順次エッチングし、基板11を所定深さエッチングして溝12を形成する。マスク材を残して素子分離絶縁膜13を堆積し、これをその下のマスク材が完全に除去され且つ第1導電層16aが絶縁膜13と同じ面位置に露出するようにCMP研磨し、第1導電層16a及び絶縁膜13上に第1導電層16bと共に浮遊ゲート16を構成する第2導電層16bを堆積し、これに分離用スリットを加工し、ONO膜17を介して制御ゲート18を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板と、

この基板に埋め込み形成された素子分離絶縁膜により区画されて配列された複数の素子領域と、

各素子領域に形成された、それぞれ第 1 ゲート絶縁膜を介して形成された浮遊ゲート及びこの浮遊ゲート上に第 2 ゲート絶縁膜を介して形成された制御ゲートを有する複数のメモリセルとを備えた不揮発性半導体記憶装置において、

前記各メモリセルの浮遊ゲートは、第 1 導電層とこの上に積層された第 2 導電層とから構成され、

前記第 1 導電層は、その一対の側端が前記素子分離絶縁膜の一対の側端とそれぞれ整合され、且つその表面が前記素子分離絶縁膜の表面と一定の高さ関係を持して形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 導電層は、その表面が前記素子分離絶縁膜の表面と整合され、

前記第 2 導電層は、前記素子分離絶縁膜上に一部張り出してパターン形成されていることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 導電層は、前記複数のメモリセルの間で膜厚のバラツキを有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 2 導電層は、順テーパ状に加工されていることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記各素子領域は、ライン状にパターン形成され、各素子領域に複数のメモリセルが配置されて NAND 型セルが構成されていることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 浮遊ゲートとこれに容量結合する制御ゲートとを持つメモリセルが複数個配列されたメモリセルアレイを有する不揮発性半導体記憶装置の製造方法であって、

半導体基板に第 1 ゲート絶縁膜及び第 1 導電層を順次積層形成する工程と、

前記第 1 導電層上に、複数の素子領域を区画するためのマスク材をパターン形成する工程と、

前記マスク材を用いて前記第 1 導電層及び第 1 ゲート絶縁膜を順次エッチングし、引き続き前記基板を所定深さエッチングして溝を形成する工程と、

前記マスク材を残したまま、前記溝を埋め込み且つ前記マスク材を覆う素子分離絶縁膜を堆積する工程と、

前記素子分離絶縁膜を、その下の前記マスク材が完全に除去され且つ前記第 1 導電層が前記溝に埋め込まれた素子分離絶縁膜と同じ面位置に露出するようにエッチバックする工程と、

前記第 1 導電層及び素子分離絶縁膜上に第 1 導電層と共に浮遊ゲートを構成する第 2 導電層を堆積する工程と、

前記第 2 導電層を前記素子分離絶縁膜上で分離するスリットを加工する工程と、

前記第 2 導電層上に第 2 ゲート絶縁膜を介して第 3 導電層からなる制御ゲートを形成する工程とを備えたことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 7】 浮遊ゲートとこれに容量結合する制御ゲートとを持つメモリセルが複数個配列されたメモリセルアレイを有する不揮発性半導体記憶装置の製造方法であって、

半導体基板にエッチングのストッパ材をパターン形成する工程と、

前記ストッパ材が形成された基板に第 1 ゲート絶縁膜及び第 1 導電層を順次積層形成する工程と、

前記第 1 導電層上に、複数の素子領域を区画するためのマスク材をパターン形成する工程と、

前記マスク材を用いて前記第 1 導電層及び第 1 ゲート絶縁膜を順次エッチングし、引き続き前記基板を所定深さエッチングして溝を形成する工程と、

前記マスク材を残したまま、前記溝を埋め込み且つ前記マスク材を覆う素子分離絶縁膜を堆積する工程と、

前記素子分離絶縁膜を、その下の前記マスク材が完全に除去され前記ストッパ材が露出するまでエッチバックして、各素子領域に残る前記第 1 導電層を前記ストッパ材により規定された膜厚をもって前記溝に埋め込まれた素子分離絶縁膜と同じ面位置に露出させる工程と、

前記第 1 導電層及び素子分離絶縁膜上に前記第 1 導電層と共に浮遊ゲートを構成する第 2 導電層を堆積形成する工程と、

前記第 2 導電層を前記素子分離絶縁膜上で分離するスリットを加工する工程と、

前記第 2 導電層上に第 2 ゲート絶縁膜を介して第 3 導電層からなる制御ゲートを形成する工程とを備えたことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 8】 前記ストッパ材は、前記メモリセルアレイ内の複数の素子領域のうち、素子が形成されないダミー素子領域、配線専用利用される素子領域、及び前記メモリセルアレイの周囲に配置される周辺回路領域の少なくとも一つの領域に配置されることを特徴とする請求項 7 記載の不揮発性半導体記憶装置の製造方法。

【請求項 9】 前記ストッパ材は、前記エッチバックの工程でのエッチング速度が前記素子分離絶縁膜及び前記第 1 導電層に比べて遅い材料膜であり、捨てパターンとして残されることを特徴とする請求項 7 記載の不揮発性半導体記憶装置の製造方法。

【請求項 10】 前記ストッパ材は、前記素子分離絶縁膜及び前記第 1 導電層に比べて前記エッチバックの工程でのエッチング速度が遅い導電膜であり、前記メモリセルアレイの周囲に配置される周辺回路の素子のゲート電極として用いられることを特徴とする請求項 7 記載の不揮発性半導体記憶装置の製造方法。

【請求項 11】 前記第 2 導電層を前記素子分離絶縁膜上で分離するスリットを加工する工程は、

前記第 2 導電層上にエッチング用マスク材を形成する工程と、

前記エッチング用マスク材上に、前記素子分離絶縁膜上に開口を持つレジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記エッチング用マスク材をドライエッチングすることにより、上部の幅が底部の幅より広い開口を持つ順テーパ状マスクを形成する工程と、

前記順テーパ状マスクを用いて前記第 2 導電層をエッチングする工程とを有することを特徴とする請求項 6 又は 7 に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、浮遊ゲートとこれに容量結合する制御ゲートを持つメモリセルを用いた電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）とその製造方法に関する。

【0002】

【従来の技術】EEPROMのメモリセルは一般に、半導体基板上に第 1 ゲート絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に第 2 ゲート絶縁膜を介して形成された制御ゲートとを有する FETMOS 構造を有する。浮遊ゲートは電荷蓄積層として機能する。浮遊ゲートの電荷蓄積の状態に応じてメモリセルのしきい値が異なり、このしきい値の異なる状態がデータ“1”，“0”として利用される。第 1 ゲート絶縁膜はある電圧以上でトンネル電流が流れるトンネル絶縁膜である。制御ゲートとチャネルとの間に一定値以上の電圧を印加して、第 1 ゲート絶縁膜を介して浮遊ゲートとチャネル領域との間で電荷の授受を行うことにより、データの電氣的書き換えが行われる。

【0003】NAND型のEEPROMでは、一つの素子領域内に複数のメモリセルが隣接するもの同士でソース、ドレインを共有する形で直列接続されて、NAND型セルが構成される。

【0004】この種のEEPROMのメモリセルの素子分離には、従来一般にLOCOS法が用いられていた。しかし、LOCOS法は、高温熱酸化を行うために、微細な素子分離幅を設計通りに形成することが難しい。このため近年、素子分離用溝を加工してこの溝に絶縁膜を埋め込むトレンチ型素子分離法が注目されている。比較的浅い素子分離溝を用いるトレンチ型素子分離は、STI（Shallow Trench Insulation）として知られている。

【0005】トレンチ型素子分離を利用したEEPROMの基本的な製造工程は、次の通りである。半導体基板の素子分離領域を覆うように、シリコン窒化膜等のマスク材をパターン形成し、このマスク材を用いて基板をエ

ッチングして素子分離溝を形成する。次いでシリコン酸化膜等を全面に堆積し、これをエッチバックして素子分離溝に埋め込む。その後、素子分離絶縁膜により区画された素子領域に第 1 ゲート絶縁膜を介して浮遊ゲートをパターン形成し、更に浮遊ゲート上に第 2 ゲート絶縁膜を介して制御ゲートを形成する。

【0006】しかしこのトレンチ素子分離法では、素子分離溝に絶縁膜を埋め込み形成した後に、浮遊ゲートと制御ゲートの積層ゲート構造を作るため、この積層ゲート構造の加工工程で既に埋め込まれている素子分離絶縁膜の膜減りが生じる。この素子分離絶縁膜の膜減りは、メモリセルアレイの周囲に形成される周辺回路の製造工程を考慮すると、より大きくなる。周辺回路には、データ書き込みや消去のための高電圧を扱う高耐圧MOSトランジスタが必要である。高耐圧MOSトランジスタには、厚いゲート絶縁膜を必要とする。周辺回路にこのような高耐圧MOSトランジスタを作るためには、メモリセルアレイ領域を含む全面に厚いゲート絶縁膜を形成し、周辺回路領域をマスクで覆ってメモリセルアレイ領域のゲート絶縁膜をエッチング除去する工程が必要である。この工程で、メモリセルアレイ領域内の素子分離領域に既に埋め込まれている絶縁膜は、表面が大きく後退してしまう。

【0007】この様なトレンチ素子分離の問題を解決するEEPROMの素子分離法として、本出願人は、素子分離工程に先立ってメモリセルの一部を形成するようにした、自己整合トレンチ素子分離法を既に提案している（IEDM'94, p61~64参照）。

【0008】図28は、その様なEEPROMの素子分離工程を示している。図28（a）に示すように、シリコン基板1にトンネル絶縁膜となる第1ゲート絶縁膜2を介して浮遊ゲートとなるゲート電極材料膜3aを形成する。このゲート電極材料膜3a上には、素子領域となるべき位置にシリコン窒化膜等のマスク材4をパターン形成する。このマスク材4を用いて、図28（b）に示すように、ゲート電極材料膜3a、第1ゲート絶縁膜3を選択エッチングし、更に基板1をエッチングして、素子分離溝5を形成する。続いて、シリコン酸化膜6を全面に堆積し、CMP（Chemical Mechanical Polishing）等によりマスク材4をストッパ材としてこのシリコン酸化膜6をエッチバックして、図28（c）に示すように素子分離溝5内に埋め込まれた素子分離絶縁膜を形成した後、マスク材4を除去する。これにより、第1ゲート絶縁膜2と浮遊ゲート3とが素子分離溝5の間に自己整合されて形成される。この浮遊ゲート3上に更に、第2ゲート絶縁膜を介して制御ゲートを形成することにより、メモリセルアレイが得られる。

【0009】

【発明が解決しようとする課題】周知のように、積層ゲート構造のメモリセルを持つEEPROMでは、できる

限り低い書き換え電圧での書き換えを可能とするために、浮遊ゲートとチャネル領域との間の結合容量C1に比べて、浮遊ゲートと制御ゲートの間の結合容量C2を大きくすることが望ましい。しかし、図28で説明した自己整合トレンチ素子分離法では、浮遊ゲートが素子分離領域に挟まれた素子領域に限定的に作られるため、浮遊ゲートと制御ゲートとの間の結合容量を大きいものとするのが難しい。

【0010】この発明は、自己整合トレンチ分離法を改良して、浮遊ゲートと制御ゲートの間の結合容量を大きくすることを可能としたEEPROMとその製造方法を提供することを目的としている。

【0011】この発明はまた、自己整合トレンチ分離法による素子分離絶縁膜のエッチバック工程での面内バラツキに基づくメモリセル特性のバラツキを低減できるようにしたEEPROMとその製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】この発明は、半導体基板と、この基板に埋め込み形成された素子分離絶縁膜により区画されて配列された複数の素子領域と、各素子領域に形成された、それぞれ第1ゲート絶縁膜を介して形成された浮遊ゲート及びこの浮遊ゲート上に第2ゲート絶縁膜を介して形成された制御ゲートを有する複数のメモリセルとを備えた不揮発性半導体記憶装置において、前記各メモリセルの浮遊ゲートは、第1導電層とこの上に積層された第2導電層とから構成され、前記第1導電層は、その一対の側端が前記素子分離絶縁膜の一切の側端とそれぞれ整合され、且つその表面が前記素子分離絶縁膜の表面と一定の高さ関係を保持して形成されていることを特徴としている。

【0013】この発明において好ましくは、前記第1導電層は、その表面が前記素子分離絶縁膜の表面と整合され、前記第2導電層は、前記素子分離絶縁膜上に一部張り出してパターン形成されているものとする。

【0014】またこの発明において、好ましくは、前記第2導電層は、順テーパ状に加工される。更に好ましくは、この発明において、前記各素子領域が、細長い矩形にパターン形成され、各素子領域に複数のメモリセルが配置されてNAND型セルが構成される。

【0015】この発明による第1の製造方法は、浮遊ゲートとこれに容量結合する制御ゲートとを持つメモリセルが複数個配列されたメモリセルアレイを有する不揮発性半導体記憶装置の製造方法であって、半導体基板に第1ゲート絶縁膜及び第1導電層を順次積層形成する工程と、前記第1導電層上に、複数の素子領域を区画するためのマスク材をパターン形成する工程と、前記マスク材を用いて前記第1導電層及び第1ゲート絶縁膜を順次エッチングし、引き続き前記基板を所定深さエッチングして溝を形成する工程と、前記マスク材を残したまま、前

記溝を埋め込み且つ前記マスク材を覆う素子分離絶縁膜を堆積する工程と、前記素子分離絶縁膜を、その下の前記マスク材が完全に除去され且つ前記第1導電層が前記溝に埋め込まれた素子分離絶縁膜と同じ面位置に露出するようにエッチバックする工程と、前記第1導電層及び素子分離絶縁膜上に第1導電層と共に浮遊ゲートを構成する第2導電層を堆積する工程と、前記第2導電層を前記素子分離絶縁膜上で分離するスリットを加工する工程と、前記第2導電層上に第2ゲート絶縁膜を介して第3導電層からなる制御ゲートを形成する工程とを備えたことを特徴としている。

【0016】この発明による第2の製造方法は、浮遊ゲートとこれに容量結合する制御ゲートとを持つメモリセルが複数個配列されたメモリセルアレイを有する不揮発性半導体記憶装置の製造方法であって、半導体基板にエッチングのストッパ材をパターン形成する工程と、前記ストッパ材が形成された基板に第1ゲート絶縁膜及び第1導電層を順次積層形成する工程と、前記第1導電層上に、複数の素子領域を区画するためのマスク材をパターン形成する工程と、前記マスク材を用いて前記第1導電層及び第1ゲート絶縁膜を順次エッチングし、引き続き前記基板を所定深さエッチングして溝を形成する工程と、前記マスク材を残したまま、前記溝を埋め込み且つ前記マスク材を覆う素子分離絶縁膜を堆積する工程と、前記素子分離絶縁膜を、その下の前記マスク材が完全に除去され前記ストッパ材が露出するまでエッチバックして、各素子領域に残る前記第1導電層を前記ストッパ材により規定された膜厚をもって前記溝に埋め込まれた素子分離絶縁膜と同じ面位置に露出させる工程と、前記第1導電層及び素子分離絶縁膜上に前記第1導電層と共に浮遊ゲートを構成する第2導電層を堆積形成する工程と、前記第2導電層を前記素子分離絶縁膜上で分離するスリットを加工する工程と、前記第2導電層上に第2ゲート絶縁膜を介して第3導電層からなる制御ゲートを形成する工程とを備えたことを特徴としている。

【0017】この発明の第2の製造方法において、例えば前記ストッパ材は、前記エッチバックの工程でのエッチング速度が前記素子分離絶縁膜及び前記第1導電層に比べて遅い材料膜であり、捨てパターンとして残される。あるいは、前記ストッパ材は、前記素子分離絶縁膜及び前記第1導電層に比べて前記エッチバックの工程でのエッチング速度が遅い導電膜であり、前記メモリセルアレイの周囲に配置される周辺回路の素子のゲート電極として用いられる。

【0018】またこの発明の第1又は第2の製造方法において、好ましくは、前記第2導電層を前記素子分離絶縁膜上で分離するスリットを加工する工程は、前記第2導電層上にエッチング用マスク材を形成する工程と、前記エッチング用マスク材上に、前記素子分離絶縁膜上に開口を持つレジストパターンを形成する工程と、前記レ

ジストパターンをマスクとして前記エッチング用マスク材をドライエッチングすることにより、上部の幅が底部の幅より広い開口を持つ順テーパ状マスクを形成する工程と、前記順テーパ状マスクを用いて前記第2導電層をエッチングする工程とを有するものとする。

【0019】この発明によると、メモリセルの浮遊ゲートは、自己整合トレンチ分離法により素子分離領域と自己整合されて形成された第1導電層とこれに積層された第2導電層の2層構造として構成される。従って、自己整合トレンチ素子分離法の利点を活かしながら、第2導電層の側面をこの上に形成される制御ゲートに対向させることにより、浮遊ゲートと制御ゲートの間の結合容量を大きいものとすることができる。特に、素子分離絶縁膜と自己整合されて形成された第1導電層に重ねる第2導電層を素子分離絶縁膜上に一部張り出すようにパターン形成することにより、浮遊ゲートと制御ゲートの結合容量を更に大きくすることができる。

【0020】また、第1あるいは第2の製造方法によって、素子分離絶縁膜をエッチバックする工程で、素子分離溝形成に用いたマスク材が完全に除去されて第1導電層が露出するまでエッチバックすることにより、好ましくは第1導電層の表面位置が素子分離絶縁膜の表面位置と一致する状態、少なくともこれらの表面位置が一定の高さ関係を保持する状態とすることができる。これにより、エッチバック工程で面内バラツキがあり、残される第1導電層の膜厚にバラツキがあったとしても、第1導電層上に重ねられる第2導電層の表面が平坦になり、あるいは段差が形成されたとしても、面内での段差分布は均一になる。従って、浮遊ゲートと制御ゲートの結合容量のメモリセルアレイ内でのバラツキがなくなり、メモリセル特性の均一化が図られる。

【0021】更に、浮遊ゲートの第2導電層を素子分離領域上で分離するスリット加工の際に、テーパエッチングを利用して順テーパ状に加工することにより、浮遊ゲートの分離幅を加工限界より小さいものとすることができ、この結果浮遊ゲートと制御ゲートの結合容量をより大きなものとすることができる。

【0022】

【発明の実施の形態】以下、図面を参照して、この発明をNAND型EEPROMに適用した実施例を説明する。図1は、この発明の一実施例によるNAND型EEPROMのメモリセルアレイ部のレイアウトであり、図2はワード線方向に切断した断面図、図3はビット線方向に切断した断面図である。図2(a)(b)は面内バラツキの影響を見るために、異なるワード線に沿う二つの断面を示している。

【0023】図1及び図2に示すように、p型シリコン基板(又はp型ウェル)11には、素子分離溝12により複数本の細長い矩形(ライン状)の素子領域14が区画されている。素子分離溝12には絶縁膜13が埋め込

まれて、STI構造が作られている。各素子領域14に第1ゲート絶縁膜としてのトンネル酸化膜15が形成され、この上に各メモリセル毎に独立した浮遊ゲート16が形成され、この浮遊ゲート16上に第2ゲート絶縁膜としてシリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層絶縁膜(以下、ONO膜という)17を介して第3導電層により制御ゲート18が形成されている。

【0024】制御ゲート18は、図1に示すように、複数の素子領域14に形成されるメモリセルに対して共通に連続的に配設されて、ワード線WLとなる。制御ゲート18をマスクとしてイオン注入を行うことにより、ソース、ドレインの拡散層21が形成されている。この実施例の場合、拡散層21は各素子領域14内において隣接するメモリセルで共用する形で、4個、8個あるいは16個といった複数のメモリセルが直列接続されて、NAND型セルが構成される。NAND型セルの両端部には、NAND型セルをビット線に接続し、あるいは共通ソース線に接続するための浮遊ゲートを持たない選択ゲート22、23が配置され、これらもワード線WLと同様に連続的に配設されて選択ゲート線SG1、SG2となる。

【0025】これらのワード線WL及び選択ゲート線SG1、SG2の上には層間絶縁膜19が形成され、この上にワード線WLと直交するようにビット線20が配設されている。

【0026】なお、図3では、選択ゲートトランジスタ(選択ゲート線)がメモリセルと同一構造を有しているが、選択ゲートトランジスタについては、メモリセルの浮遊ゲート16に対応する層と制御ゲート18に対応する層とが、図示しない領域で導通接続された構造となっている。

【0027】各メモリセルの浮遊ゲート16は、第1導電層16aと第2導電層16bの積層構造を有する。第1導電層16a、第2導電層16b共に、この実施例の場合不純物ドーパの多結晶シリコン層である。第1導電層16aは、その側端が素子分離用絶縁膜13の側端に接する形で素子分離領域と自己整合的に形成されている。第1導電層16aは、それぞれ異なるワード線位置を示す図2(a)、(b)から明らかなように、膜厚d1、d2が異なっている。これは後述するように、素子分離絶縁膜13の埋め込み工程での面内の加工バラツキ等に起因するものである。しかし、図2(a)、(b)のいずれの断面位置においても、第1導電層16aはその表面位置が素子分離用絶縁膜13の表面位置と一致する状態に形成されている。この結果、第1導電層16aに重ねて形成される第2導電層16bの表面は、位置によらず表面が平坦である。また、第1導電層16aが素子分離領域に自己整合されているのに対し、第2導電層16bは両端部が素子分離用絶縁膜13上に張り出す形にパターン形成されている。

【0028】この実施例のEEPROMの製造工程を、図2の断面に対応する断面を示す図4～図9を参照して説明する。図4に示すように、p型シリコン基板11の表面に熱酸化によりトンネル酸化膜15を形成し、次いでこの上に浮遊ゲートの一部となる第1導電層16aを堆積形成する。更に第1導電層16a上に、素子領域を区画するためのマスク材31として例えばシリコン窒化膜(Si₃N₄)を形成する。

【0029】次に、図5に示すように、マスク材31を素子領域14上に残すようにパターニングし、このマスク材31を用いて第1導電層16a及びトンネル酸化膜15をRIE等の異方性エッチングにより選択エッチングし、更に基板11をRIE等の異方性エッチングによりエッチングして、素子分離溝12を形成する。

【0030】次に、素子分離溝12の側壁を洗浄処理した後、図示しない薄い絶縁膜、例えばシリコン酸化膜を内壁に形成する。続いて、図6に示すように、埋め込み用絶縁膜13を、溝12を埋め込み、更にマスク材31をも覆うように厚く全面に堆積形成する。絶縁膜13は例えば、TEOS、BPSG等である。

【0031】次に、CMP法を用いて、堆積された絶縁膜13とその下のマスク材31を研磨(エッチバック)し、平坦化を行う。このCMP工程では、マスク材31が完全に除去され、且つ第1導電層16aが確実に残存するように、研磨処理を行うことがこの実施例でのポイントである。この研磨処理後の、図2(a)、(b)にそれぞれ対応する断面が図7(a)、(b)である。埋め込み絶縁膜13の膜厚のバラツキ、パターンの粗密、材料によるCMP速度の差、CMP処理そのものの面内バラツキ等に起因して、図7(a)、(b)に示すように、残存する第1導電層16aの膜厚がd1<d2のようにならつくことになる。しかしこの実施例の場合、マスク材31が完全に除去されるまで研磨を行っている。従って、マスク材31をCMPのストップとして用いて、CMP処理後にマスク材31を除去するという工程を用いた場合(これについては、更に後述する)と異なり、図7(a)、(b)に示すように、第1導電層16aが埋め込み絶縁膜13と同じ面位置となる状態を得ることができる。

【0032】この様にして、浮遊ゲートの一部となる第1導電層16aと素子分離絶縁膜13とを自己整合的に形成することができる。この後、図8に示すように、第2導電層16bを堆積し、異方性エッチングによりワード線方向の浮遊ゲート分離のためのスリット32を加工する。スリット32は素子分離絶縁膜13上に位置する。第2導電層16bは、両端が素子分離絶縁膜13上に延在する。この段階では、第1導電層16aおよび第2導電層16bの、図の断面に直交する方向のNAND型セル内での分離は未だ行われていない。

【0033】その後、図9に示すように、ONO膜17

を形成し、更にその上に制御ゲート18及び選択ゲートとなる第3導電層として不純物ドーパ多結晶シリコン膜又は不純物ドーパ多結晶シリコン膜と高融点金属或いは高融点金属シリサイドとの積層膜を堆積形成する。そして、図示しないリソグラフィ工程を経て、第3導電層、ONO膜17、第2導電層16b及び第1導電層16aを順次異方性エッチングによりエッチングして、ワード線及び選択ゲート線となる制御ゲート18及び選択ゲートをパターン形成し、同時にNAND型セル内の浮遊ゲート16の分離を行う。最後に、図2に示すように、層間絶縁膜19を形成し、コンタクト穴あけを行って、ビット線20をパターン形成して、メモリアルレイが完成する。

【0034】以上のようにこの実施例では、素子分離領域と自己整合的に形成された第1導電層16aに、素子分離領域まで延在する第2導電層16bを積層して浮遊ゲート16を構成している。従って、第2導電層16bの上面及び側面がこの上に形成される制御ゲート18と対向することになり、第1導電層16aのみを用いて浮遊ゲートとした場合と比較して、浮遊ゲートと制御ゲート間の結合容量を大きいものとすることができる。

【0035】またこの実施例では、第1導電層16aが素子分離絶縁膜13と同じ面位置に形成されているから、第1導電層16aに積層される第2導電層16bの表面がメモリアルレイ内の位置によらず平坦になる。このため、浮遊ゲート16と制御ゲート18の対向面積にバラツキが生じることはなく、メモリアルレイ内で均一なメモリアル特性が得られる。

【0036】比較のため、上述のCMPによる研磨工程でマスク材31を研磨のストップとして用いて、マスク材31が残った状態で研磨を終了したとする。このとき、図7(a)、(b)に対応する断面を図10

(a)、(b)に示す。図示のように、CMPの面内バラツキ等により、マスク材31の残存する膜厚が位置により異なる。この状態から、マスク材31をエッチング除去すると、形成される穴の深さ、即ち第1導電層16aの表面位置の素子分離絶縁膜13の表面位置からの深さが位置により異なることになる。この後、上の実施例と同様の工程で制御ゲート18まで形成すると、図10(a)、(b)に対応する断面はそれぞれ、図11

(a)、(b)のようになり、第2導電層16bの表面の段差(凹凸)が位置により異なる。このため、浮遊ゲート16と制御ゲート18の結合容量がメモリアルレイ内でばらつくことになる。

【0037】また、浮遊ゲート16の表面に段差があると、この上に制御ゲート用の第3導電層として例えば、ステップカバレッジの悪いスパッタ法によるポリサイド膜等を用いた場合、段切れや抵抗増大の原因となる。この実施例の場合、浮遊ゲート16の表面が平坦であるため、この様な不都合も生じない。

【0038】上記実施例では、CMP工程で第1導電層16aと素子分離絶縁膜13の面位置を同じにした状態のまま、次の工程に入ったが、次の工程に入る前に、ウェットエッチング等により素子分離絶縁膜13の面を後退させるようにしてもよい。その場合の図7(a)、

(b)に対応する断面をそれぞれ、図12(a)、

(b)に示す。ウェットエッチングにより後退させる素子分離絶縁膜13の面位置には、殆どバラツキが生じることはなく、第1導電層16aと素子分離絶縁膜13の表面の高低差はメモリセルアレイ内で一定に保持される。従って、この後ONO膜を介して制御ゲートを形成した場合、上記実施例と同様に、浮遊ゲートと制御ゲートの結合容量は、面内バラツキのないものとなる。

【0039】上記実施例は、素子分離絶縁膜埋め込みのCMP処理に面内のバラツキがあったとしても、マスク材として用いたシリコン窒化膜を完全に除去するまで研磨を行うことによって、2層の導電層構造の浮遊ゲートと制御ゲートの対向面積が一定になるようにした。これに対して、次の実施例は、研磨のストッパ材を予め基板に形成しておくことにより、CMP処理自体の面内バラツキを抑制して、同様の結果を得るものである。

【0040】以下に、そのような実施例を説明する。なお、先の実施例と対応する部分には、先の実施例と同一符号を付して詳細な説明は省く。図13は、NAND型EEPROMのメモリセルアレイのワード線両端部にダミー素子領域43が配置される様子を示している。先に説明したように、メモリセルアレイ領域には素子分離絶縁膜13により区画されて素子領域14が複数本配列形成されるが、メモリセルアレイのワード線端部には通常、メモリセルアレイ内の加工の均一性を保証するために、実際には素子が形成されないダミー素子領域43が配置される。この実施例では、この様なダミー素子領域43に予め研磨のストッパ材をパターン形成する。

【0041】図14～図20は、図13のあるワード線WLに沿った断面での製造工程を示している。図14に示すように、p型シリコン基板11にまず、シリコン酸化膜41を介してストッパ材42を、図13のダミー素子領域43を覆うようにパターン形成する。ストッパ材42は、素子分離絶縁膜13や浮遊ゲートの一部となる第1導電層16aに比べて研磨速度の遅い絶縁材料あるいは導電材料を用いる。例えば、シリコン窒化膜やシリコンカーバイド(SiC)、アルミナ(Al₂O₃)等の絶縁膜の他、高融点金属、高融点金属シリサイド、多結晶シリコンに高融点金属シリサイドを積層したポリサイド等の導電材料でもよい。この実施例ではマスク材42はシリコン窒化膜である。ストッパ材42の膜厚は、後に形成される第1導電層16aの残存させたい膜厚とする。

【0042】その後、先の実施例と同様に、トンネル酸化膜15、第1導電層16aを形成し、この上にマスク

材31をパターン形成する(図15)。続いて、エッチングを行って第1導電層16aをパターニングし、更に素子分離溝12を形成する(図16)。次に素子分離絶縁膜13を堆積する(図17)。

【0043】次に、マスク材31が除去され、更にストッパ材42が露出するまでCMP処理を行う(図18)。これにより、ワード線方向の両端部に配置されるストッパ材42によってメモリセルアレイ内の研磨の均一性が確保され、第1導電層16aは、ストッパ材42とほぼ同じ膜厚を残存させた状態で、且つ素子分離絶縁膜13と同じ面位置をもって形成される。

【0044】その後、先の実施例と同様に、第2導電層16bを形成してスリット32を加工し(図19)、ONO膜17を形成して第3導電層により制御ゲート18を形成する(図20)。ストッパ材42は、このダミー素子領域43の平坦性を保つために、好ましくは捨てパターンとして残されるが、除去してもよい。

【0045】ストッパ材42のパターンを配置するに好ましい個所は、上述のダミー素子領域43に限られない。図21に示すように、NAND型EEPROMのメモリセルアレイ領域には、ビット線20の複数本毎に、共通ソース線52が配設される。共通ソース線52は、複数のNAND型セルを含むNANDブロックの共通ソース領域51にコンタクトする配線である。この配線領域は素子領域として形成されても、メモリセルが作られない単なる通過配線領域53となっている。この様な通過配線領域53に上の実施例と同様に予めストッパ材42をパターン形成しておくことにより、やはりCMP処理の面内均一性を向上させることができる。

【0046】なおストッパ材42とマスク材31に同じシリコン窒化膜を用いると、これらの間にエッチングの選択性がなくなる。従って例えば、ストッパ材42としてシリコン窒化膜を用いる場合、マスク材31として他の材料、例えば素子分離絶縁膜と同様のシリコン酸化膜を用いてもよい。

【0047】ストッパ材42は好ましくは、上述したダミー素子領域43や通過配線領域53を含んで、メモリセルアレイの領域内に均等に分布させることにより、CMP処理の均一性がより高いものとなる。

【0048】更にストッパ材42は、メモリセルアレイ領域のみならず、メモリセルアレイの周囲に形成される周辺回路領域に設けることも有効である。この場合、MOSTランジスタのゲート電極材料として前述した導電材料のひとつを用いて、これをストッパ材として利用することも有効である。

【0049】図22は、そのような実施例として、ワード線WLとなる制御ゲート18に接続されるワード線駆動回路のMOSTランジスタ61のゲート電極62をストッパ材として用いる例を示している。この様なワード線駆動用MOSTランジスタ61は、メモリセルアレイ

の各ワード線端部に対応して配置されるから、このゲート電極 6 を前述した研磨のストッパ材として用いれば、メモリセルアレイ内での CMP 研磨の均一性が高いものとなる。

【0050】ワード線駆動回路に限らず、周辺回路内の MOS トランジスタの多くのゲート電極をストッパ材として用いることにより、一層効果が期待される。ところで上記実施例において例えば、図 8 に示す浮遊ゲート 6 を分離するためのスリット 32 の加工工程で、スリット 32 の幅を最小加工寸法とする。そうすると、第 1 導電層 16a より広い幅で第 2 導電層 16b を残すようにスリット 32 を加工するためには、素子分離溝 12 の幅は最小加工寸法より大きくすることが必要であり、これによりワード線方向の微細化が制限されることになる。

【0051】一方、ワード線方向の最小加工寸法を素子領域 14 の幅とし、そのピッチを固定すれば、素子分離溝 12 の幅は一義的に決まる。例えば、素子領域 14 の幅を $0.4\mu\text{m}$ とし、ピッチを $1.0\mu\text{m}$ とすれば、素子分離幅は $0.6\mu\text{m}$ である。露光技術における合わせずれが最大 $0.1\mu\text{m}$ とすれば、スリットが素子分離領域上で形成されるに必要な最小素子分離幅は $0.6\mu\text{m}$ である。従って素子分離領域の幅を最小加工寸法とすると、通常の方法ではこの上でスリットを加工することができない。

【0052】この問題を解決してメモリセルアレイの微細化を図る好ましい実施例を、次に説明する。図 23～図 24 は、その実施例の第 2 導電層 16b のパターニング工程を示している。先の実施例と同様の工程により、第 2 導電層 16a を堆積した後、図 23 に示すように、エッチング用マスク材 71 として例えばシリコン窒化膜を形成し、この上にフォトリソスト 72 を塗布し、露光工程によって最小寸法のスリット幅開口 73 をパターン形成する。その後、テーパーエッチングとなる条件に設定した RIE 等のドライエッチングにより、図 24 に示すように、マスク材 71 をテーパーエッチングする。これにより、マスク材 71 に転写された開口 74 の底部は、レジスト 72 の開口 73 の幅より狭い幅を持つ。この様に順テーパー上に加工されたマスク材 71 をエッチングマスクとして、第 2 導電層 16b をドライエッチングして、マスク材 71 を剥離することにより、図 25 に示すように第 2 導電層 16b のスリット加工が終了する。

【0053】この実施例の方法で所望のスリット幅を得るために重要なパラメータは、図 26 に示すように、マスク材 71 の膜厚 d とテーパー角 θ である。このとき、マスク材 71 の底部開口幅 l (即ちスリット幅) と上部開口幅 L の関係は、

$$l = L - 2d / \tan \theta$$

となる。つまり、スリット幅を正確に制御するためには、上記パラメータ d 、 θ を制御することが必要になる。

【0054】最小加工寸法以下のスリット幅を得る別の方法として、二度のマスク材形成を行う方法も考えられる。これは、第 1 のマスク材を通常の工程でパターニングし、再度第 2 のマスク材を堆積して、これを第 1 のマスク材の側壁に残すことにより、小さいスリット幅加工用の開口を得るものである。しかしこの方法では、二度のマスク材形成工程が必要である上に、側壁残しの技術ではスリット寸法のばらつきを制御することが難しい。また、第 1 のマスク材のエッチング時に下地の導電層表面で完全にエッチングを停止させるには、マスク材と下地導電層の間でエッチング選択比が十分に大きいことが必要であり、通常のエッチングでは導電層に段差が形成されてしまう、といった難点がある。上述のテーパーエッチングを利用すれば、この様な難点はない。

【0055】更に、図 24 の状態から第 2 導電層 16b をエッチングする工程で、マスク材 71 と第 2 導電層 16b のエッチング選択比を小さく選択して、マスク材 71 の開口端がエッチングと共に後退するという条件を用いると、第 2 導電層 16b に形成されるスリットの開口にテーパーを形成することができる。

【0056】図 27 はこの様な条件で第 2 導電層 16b をテーパー加工して、この上に ONO 膜 17 を介して制御ゲート 18 を形成した例を示している。この様に浮遊ゲート 16 の分離用スリットをテーパー加工することにより、浮遊ゲート 16 の側壁が垂直である場合と比較して、側壁部の ONO 膜 17 の実効膜厚が小さくなる。これは、制御ゲート 18、ONO 膜 17 及び浮遊ゲート 16 の積層構造をパターニングする際に、ONO 膜 17 を完全に除去するためのオーバーエッチング量を少なくできること、従ってこのエッチング工程で素子分離絶縁膜 13 の膜減りを抑制できることを意味する。

【0057】以上では、NAND 型 EEPROM の実施例を説明したが、この発明はこれに限られるものではなく、個々のメモリセルを分離する必要がある NOR 型 EEPROM にも同様にこの発明を適用することが可能である。

【0058】

【発明の効果】以上述べたようにこの発明によれば、自己整合トレンチ分離法を改良して、浮遊ゲートと制御ゲートの間の結合容量を大きくすることを可能にすると共に、自己整合トレンチ分離法による素子分離絶縁膜のエッチバック工程での面内バラツキに基づくメモリセル特性のバラツキを低減できるようにした不揮発性半導体記憶装置 (EEPROM) とその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】この発明の一実施例による NAND 型 EEPROM のメモリセルアレイ領域の平面図である。

【図 2】図 1 の異なるワード線位置で切断した断面図である。

【図 3】図 1 のビット線方向に切断した断面図である。

【図 4】同実施例の製造工程におけるシリコン窒化膜堆積の状態を示す断面図である。

【図 5】同実施例の製造工程における素子分離溝形成の状態を示す断面図である。

【図 6】同実施例の製造工程における素子分離用絶縁膜堆積の状態を示す断面図である。

【図 7】同実施例の製造工程における素子分離用絶縁膜埋め込みの状態を、図 2 の二つのワード線位置に対応させて示す断面図である。

【図 8】同実施例の製造工程における浮遊ゲートのスリット加工の状態を示す断面図である。

【図 9】同実施例の製造工程における制御ゲート形成の状態を示す断面図である。

【図 10】比較例の製造工程における図 7 に対応する断面図である。

【図 11】同比較例の製造工程における制御ゲートを形成した状態を示す断面図である。

【図 12】上記実施例の工程を変形した実施例における図 7 に対応する断面図である。

【図 13】この発明の別の実施例による NAND 型 EEPROM のメモリセルアレイ領域の平面図である。

【図 14】同実施例の製造工程におけるストップ材形成の工程を示す断面図である。

【図 15】同実施例の製造工程におけるシリコン窒化膜マスク材をパターン形成した状態の断面図である。

【図 16】同実施例の製造工程における素子分離溝を形成した状態の断面図である。

【図 17】同実施例の製造工程における素子分離絶縁膜堆積の状態を示す断面図である。

【図 18】同実施例の製造工程における素子分離絶縁膜埋め込みの状態を示す断面図である。

【図 19】同実施例の製造工程における浮遊ゲートのスリット加工の状態を示す断面図である。

【図 20】同実施例の製造工程における制御ゲート形成の状態を示す断面図である。

【図 21】この発明の更に別の実施例による NAND 型 EEPROM のメモリセルアレイ領域の平面図である。

【図 22】この発明の更に別の実施例による NAND 型 EEPROM のメモリセルアレイ領域及び周辺回路を含む断面図である。

【図 23】この発明の更に別の実施例による浮遊ゲートのスリット加工工程を説明するための断面図である。

【図 24】同実施例の製造工程におけるマスク材パターニング工程を示す断面図である。

【図 25】同実施例の製造工程における浮遊ゲートのスリット加工の状態を示す断面図である。

【図 26】同実施例の製造工程における制御パラメータを示す図である。

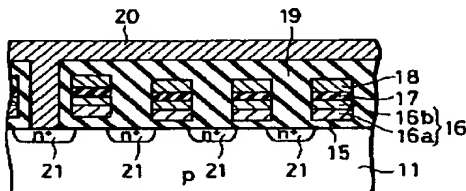
【図 27】同実施例の製造工程を変形した実施例における制御ゲート形成の状態を示す断面図である。

【図 28】従来の自己整合型素子分離法の製造工程を示す断面図である。

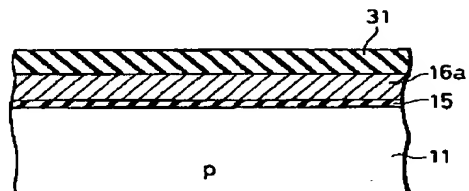
【符号の説明】

11…p 型シリコン基板、
 12…素子分離用溝
 13…素子分離用絶縁膜
 14…素子領域、
 15…トンネル酸化膜（第 1 ゲート絶縁膜）、
 16…浮遊ゲート、
 16a…第 1 導電層、
 16b…第 2 導電層、
 17…ONO 膜（第 2 ゲート絶縁膜）、
 18…制御ゲート、
 19…層間絶縁膜、
 20…ビット線、
 31…マスク材、
 32…スリット、
 42…ストップ材、
 61…MOS トランジスタ、
 62…ゲート電極（ストップ材）。

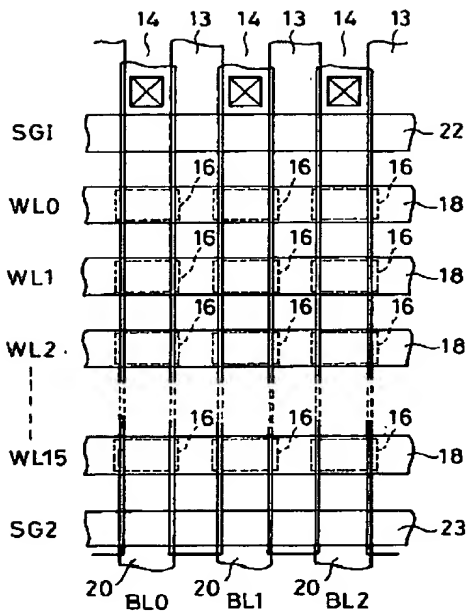
【図 3】



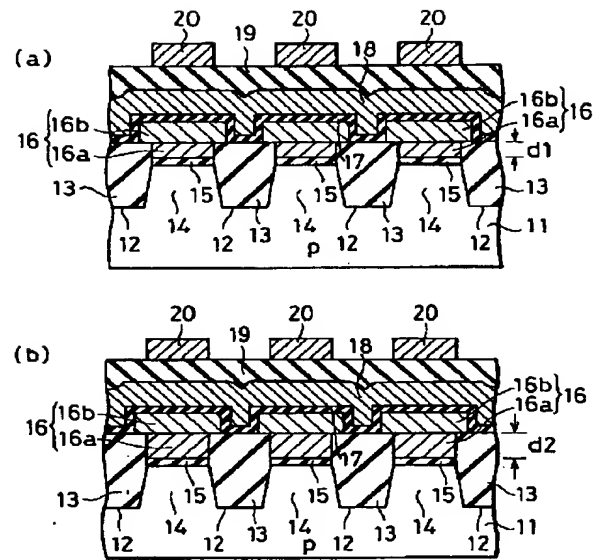
【図 4】



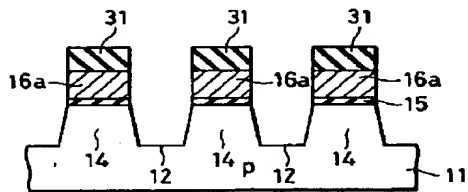
【図1】



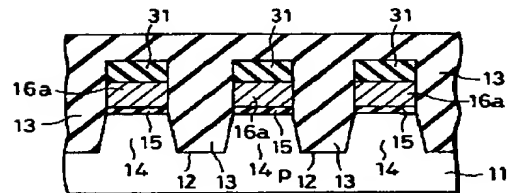
【図2】



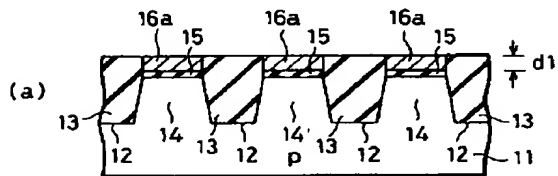
【図5】



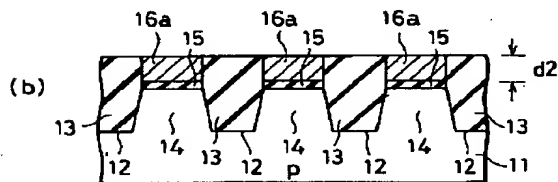
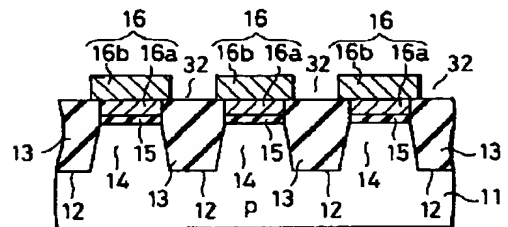
【図6】



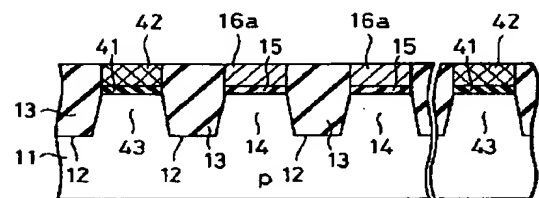
【図7】



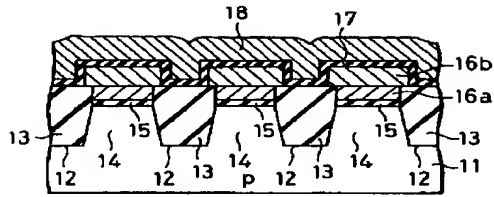
【図8】



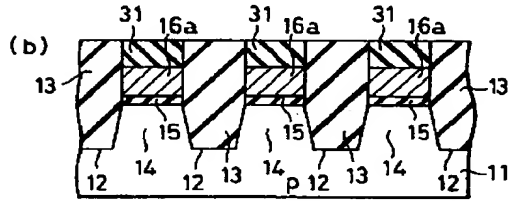
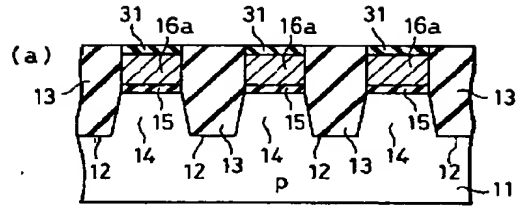
【図18】



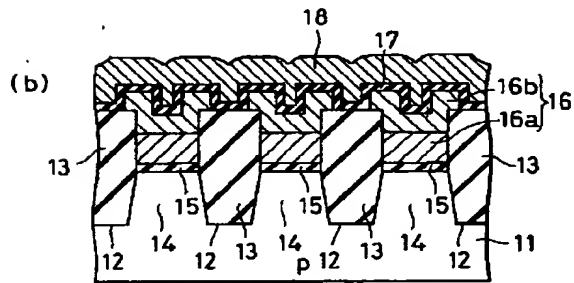
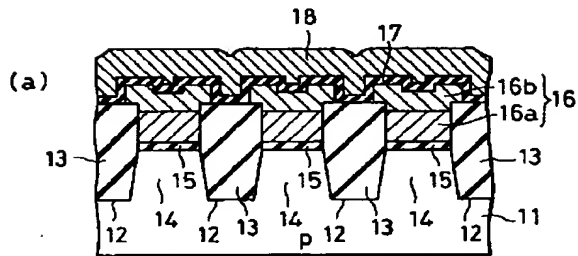
【図 9】



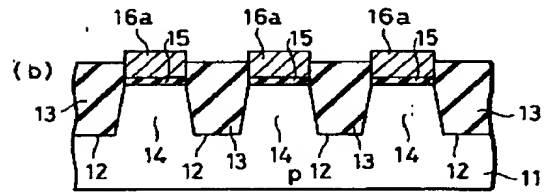
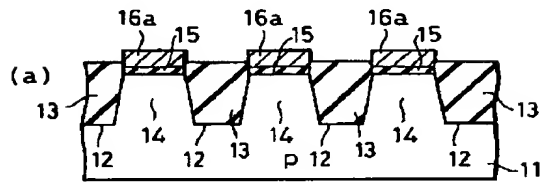
【図 10】



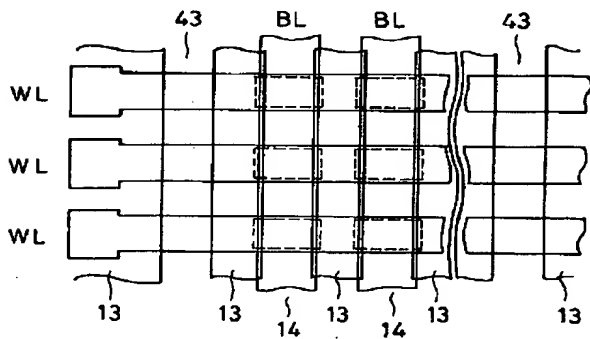
【図 11】



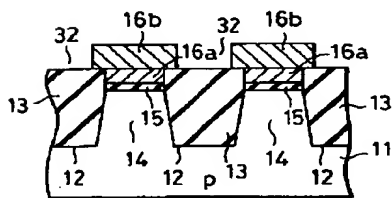
【図 12】



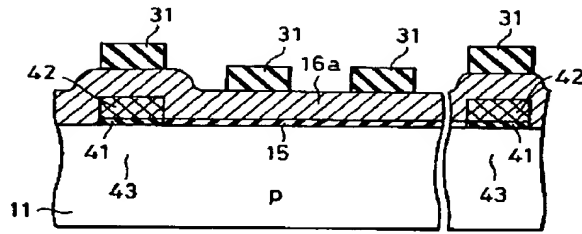
【図 13】



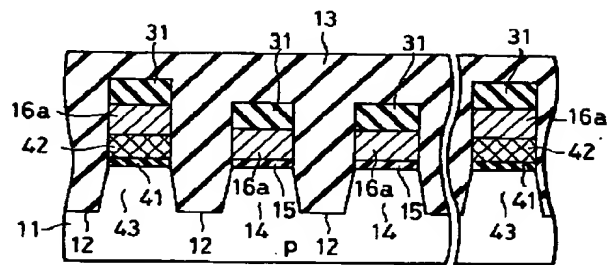
【図 25】



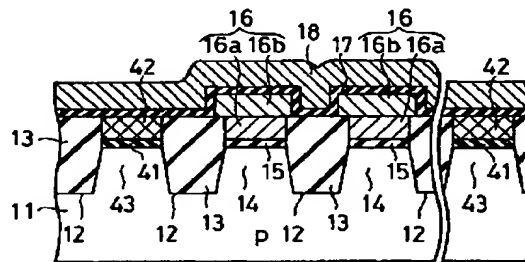
【図 15】



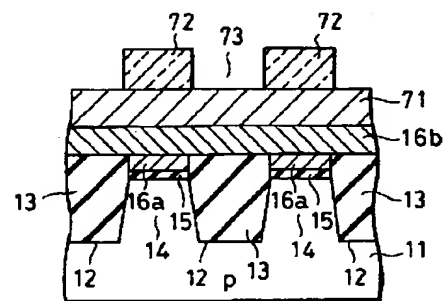
【図 17】



【図 20】

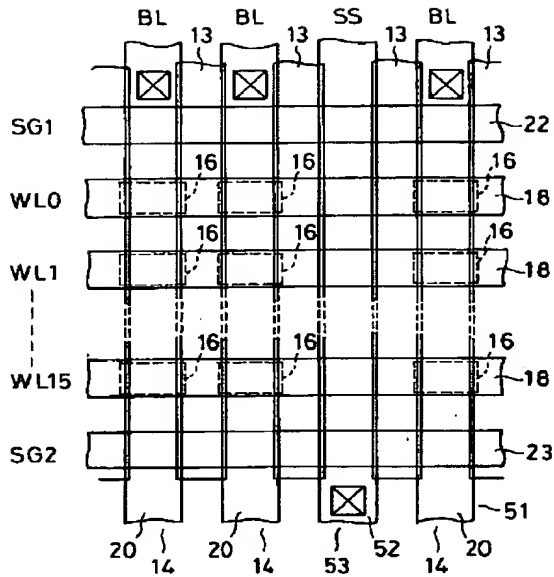


【図 23】

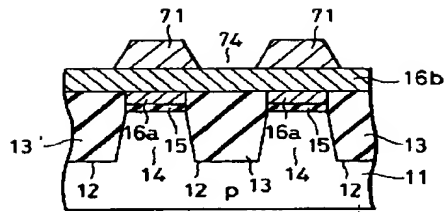


メモリセルアレイ

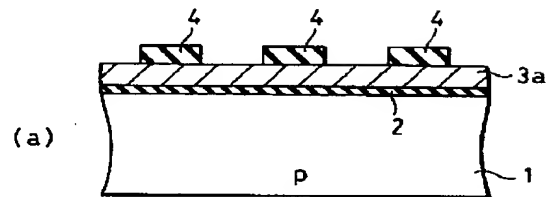
【図 21】



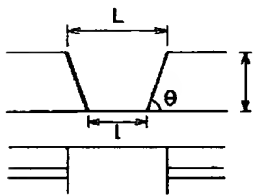
【図 24】



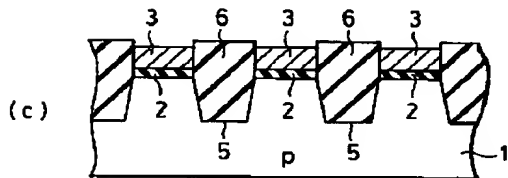
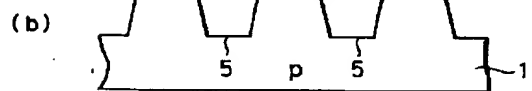
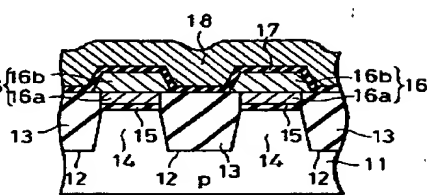
【図 28】



【図 26】



【図 27】



フロントページの続き

(72) 発明者 有留 誠一
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内